

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

1/5/2 (Item 2 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

012746855 **Image available**
WPI Acc No: 1999-552972/199947
XRPX Acc No: N99-409372

Short cell multiplexing apparatus for routing a short cell by using an asynchronous transfer mode (ATM) switching system in mobile communication

Patent Assignee: FUJITSU LTD (FUJIT)
Inventor: FUJISAWA T; ONO H; TAKECHI R
Number of Countries: 028 Number of Patents: 004
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 942617	A2	19990915	EP 98117294	A	19980911	199947 B
JP 11261571	A	19990924	JP 9858708	A	19980310	199951
CN 1228653	A	19990915	CN 98125568	A	19981216	200001
US 6490286	B1	20021203	US 98152179	A	19980911	200301

Priority Applications (No Type Date): JP 9858708 A 19980310
Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 942617	A2	E 31	H04Q-011/04	
Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI				
JP 11261571	A	22	H04L-012/28	
CN 1228653	A		H04L-012/56	
US 6490286	B1		H04L-012/56	

Abstract (Basic): EP 942617 A2

NOVELTY - A header converting section receives the cell output from a short cell multiplexing section, and outputs the cell while converting respective virtual path identifiers and virtual channel identifiers which are stored in the cell into given values.

DETAILED DESCRIPTION - The short cell multiplexing apparatus includes a first header converting section, a short cell multiplexing section and a second header converting section. The first header converting section outputs partial fill cells when several of them are inputted in the first header converting section. The partial fill cells are standard cells each storing one short cell. The cells are output while converting a value of a virtual path identifier stored in each partial fill cell into a value that is a unit of a multiplexing process at the short cell multiplexing section. The first header converting section converts a value of a virtual connection identifier stored in each partial fill cell into a value to be a short cell connection identifier which is to be stored in the short cell at the short cell multiplexing section. The short cell multiplexing section receives several the partial fill cells output from the first header converting section to multiplex several short cells stored in the partial fill cells for every virtual path identifier which is stored in each of the partial fill cells. The short cell multiplexing section produces a cell in which virtual channel identifiers of the partial fill cells are stored as the connection identifiers of the short cells. The virtual path identifiers of the partial fill cells storing the short cells are stored as the virtual channel identifiers. The short cell multiplexing section outputs the cell. The second header converting section receives the cell output from the short cell multiplexing section, and outputs the cell while converting the respective virtual path identifiers and virtual channel identifiers which are stored in the cell into given values. INDEPENDENT CLAIMS are also given for

- (a) a short cell demultiplexing apparatus; and
- (b) a short cell header converting method for transferring a short cell stored in an ATM cell toward a destination of the short cell.

USE - For routing a short cell by using an asynchronous transfer mode (ATM) switching system. For mobile communication.

ADVANTAGE - The apparatus is able to carry out switching for every

short cell. Prevents an increase in the scale of the hardware.

DESCRIPTION OF DRAWING(S) - The drawing shows a diagram of a short cell multiplexing apparatus.

pp; 31 DwgNo 1/20

Title Terms: SHORT; CELL; MULTIPLEX; APPARATUS; ROUTE; SHORT; CELL;
ASYNCHRONOUS; TRANSFER; MODE; ATM; SWITCH; SYSTEM; MOBILE; COMMUNICATE
Derwent Class: W01; W02
International Patent Class (Main): H04L-012/28; H04L-012/56; H04Q-011/04
International Patent Class (Additional): H04Q-003/00
File Segment: EPI

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

F

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

G

審査請求 未請求 請求項の数11 O L (全 22 頁)

(21) 出願番号

特願平10-58708

(22) 出願日

平成10年(1998) 3月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 小野 英明

神奈川県川崎市中原区上小田中四丁目1番
1号 富士通株式会社内

(72) 発明者 武智 竜一

神奈川県川崎市中原区上小田中四丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 遠山 勉 (外1名)

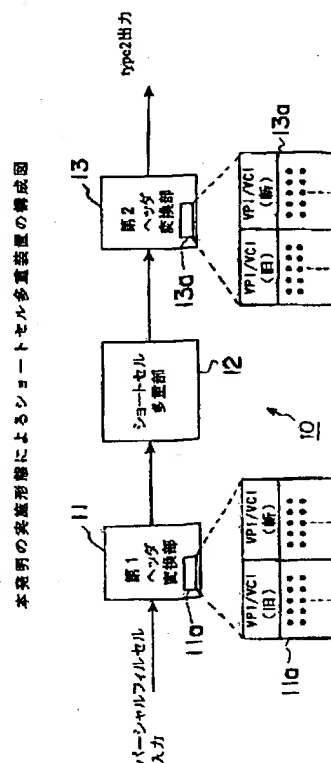
最終頁に続く

(54) 【発明の名称】 ショートセル多重装置及びショートセルヘッダ変換方法

(57) 【要約】

【課題】 ATM交換機においてショートセル毎にATMセルのスイッチングを行うための構成を、ハードウェアの規模拡大を抑えつつ実現可能なショートセル多重装置を提供すること。

【解決手段】 第1ヘッダ変換部11は、自身に入力された各パシアルフィルセルのVPIをショートセル多重部12での多重処理の単位となる値に変換し、各パシアルフィルセルのVCIをショートセル多重部12にてショートセルに格納されるCIDとなる値に変換して出力する。ショートセル多重部12は、第1ヘッダ変換部11から複数個のパシアルフィルセルを受け取り、これらのパシアルフィルセル内の複数個のショートセルをパシアルフィルセルのVPI毎に多重化し、パシアルフィルセルのVCIがCIDとして格納されパシアルフィルセルのVPIがVCIとして格納されたAAL Type 2セルを生成する。第2ヘッダ変換部13は、ショートセル多重部12からAAL Type 2セルを受け取ってこのセルのVPI/VCIを所定値に変換して出力する。



【特許請求の範囲】

【請求項1】第1ヘッダ変換部と、ショートセル多重部と、第2ヘッダ変換部とを備え、

前記第1ヘッダ変換部は、1個のショートセルを格納した標準セルたるパーシャルフィルセルが複数個入力され、各パーシャルフィルセルに格納された仮想バス識別子を前記ショートセル多重部での多重処理の単位となる値に変換し、各パーシャルフィルセルに格納された仮想コネクション識別子を前記ショートセル多重部にてショートセルに格納されるショートセルコネクション識別子となる値に変換して出力し、

前記ショートセル多重部は、前記第1ヘッダ変換部から出力されたパーシャルフィルセルを複数個受け取り、これらのパーシャルフィルセルに格納された複数のショートセルをパーシャルフィルセルに格納された仮想バス識別子毎に多重化し、これらのパーシャルフィルセルの仮想チャンネル識別子がショートセルのコネクション識別子として格納されこれらのショートセルを格納していたパーシャルフィルセルの仮想バス識別子が仮想チャンネル識別子として格納されたセルを生成して出力し、

前記第2ヘッダ変換部は、前記ショートセル多重部から出力されたセルを受け取り、このセルに格納された仮想バス識別子及び仮想チャンネル識別子の夫々を所定の値に変換して出力することを特徴とするショートセル多重装置。

【請求項2】前記第1ヘッダ変換部は、多重化された複数のショートセルを格納したAAL Type 2形式のセルを受け取り、このAAL Type 2形式のセルに格納された仮想チャンネル識別子を変換処理後の仮想チャンネル識別子のみでAAL Type 2形式のセルのコネクションが識別可能な値に変換し、このAAL Type 2形式のセルを出力し、

前記第1ヘッダ変換部から出力されたAAL Type 2形式のセルを受け取り、このAAL Type 2形式のセルに格納されたショートセルを1個ずつ格納したパーシャルフィルセルを生成し、各パーシャルフィルセルにAAL Type 2セルの仮想チャンネル識別子を仮想バス識別子として格納し、各パーシャルフィルセルにそのパーシャルフィルセルが格納するショートセルのコネクション識別子を仮想チャンネル識別子として格納して出力するショートセル分離部をさらに備え、

前記第2ヘッダ変換部は、前記ショートセル分離部から出力されたパーシャルフィルセルを受け取り、このパーシャルフィルセルに格納された仮想バス識別子及び仮想チャンネル識別子の夫々を所定の値に変換して出力することを特徴とする請求項1記載のショートセル多重装置。

【請求項3】前記第1ヘッダ変換部は、変換処理後のパーシャルフィルセルの仮想バス識別子とAAL Type 2形式の仮想バス識別子とが重複しないように仮想バス識別子を変換し、

前記第1ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルに格納された仮想バス識別子に従って、パーシャルフィルセルを前記ショートセル多重部に入力し、AAL Type 2形式のセルを前記ショートセル分離部に入力する振分部をさらに備えたことを特徴とする請求項2記載のショートセル多重装置。

【請求項4】前記第1ヘッダ変換部は、2の乗数個の仮想バス識別子を有し、この2の乗数個の仮想バス識別子の何れかを特定値とし、この特定値でAAL Type 2形式のセルの仮想バス識別子を変換し、特定値以外の値でパーシャルフィルセルの仮想バス識別子を変換し、前記振分部は、自身に入力されたセルのうち、特定値を仮想バス識別子として持つセルを前記ショートセル多重部に入力し、特定値以外の値を仮想バス識別子として持つセルを前記ショートセル分離部に入力することを特徴とする請求項3記載のショートセル多重装置。

【請求項5】前記ショートセル多重部から出力されたAAL Type 2形式のセルと前記ショートセル分離部から出力されたパーシャルフィルセルとを多重し、前記第2ヘッダ変換部に入力するセル多重部をさらに備えたことを特徴とする請求項2記載のショートセル多重装置。

【請求項6】前記第1ヘッダ変換部は、パーシャルフィルセル及びAAL Type 2形式のセル以外のセルを受け取り、このセルに格納された仮想バス識別子及び仮想チャンネル識別子を所定の値に変換して出力することを特徴とする請求項2記載のショートセル多重装置。

【請求項7】前記第1ヘッダ変換部を複数個有し、各第1ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルを受け取って前記振分部へ向けて出力し、前記第2ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルを受け取って所定の出方路から出力するATMスイッチをさらに備えたことを特徴とする請求項2記載のショートセル多重装置。

【請求項8】第1ヘッダ変換部と、ショートセル分離部と、第2ヘッダ変換部とを備え、

前記第1ヘッダ変換部は、多重化された複数のショートセルを格納したセルを受け取り、このセルに格納された仮想チャンネル識別子を前記ショートセル分離部が変換後の仮想チャンネル識別子でこのセルに格納された各ショートセルのコネクションを識別可能な値に変換し、ヘッダを変換したセルを前記ショートセル分離部へ向けて出力し、

前記ショートセル分離部は、前記第1ヘッダ変換部から出力されたセルを受け取り、このセルに格納されたショートセルを1個ずつ格納した標準セルを生成し、各標準セルに前記セルの仮想チャンネル識別子を仮想バス識別子として格納し、各標準セルにその標準セルが格納するシ

ョートセルのコネクション識別子を仮想チャネル識別子として格納し、各標準セルを前記第2ヘッダ変換部へ向けて出力し、

前記第2ヘッダ変換部は、前記ショートセル分離部から出力された標準セルを受け取り、この標準セルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力することを特徴とするショートセル分離装置。

【請求項9】ATMセルに格納されたショートセルをATM交換機によってその宛先へ転送するためのショートセルヘッダ変換方法であって、

1個のショートセルを格納した標準セルたるパーシャルフィルセルに格納された仮想パス識別子を前記ショートセル多重部での多重処理の単位となる値に変換する第1のステップと、

パーシャルフィルセルに格納された仮想コネクション識別子を前記ショートセル多重部にてショートセルに格納されるショートセルコネクション識別子となる値に変換する第2のステップと、

第2のステップを経た複数のパーシャルフィルセルに格納された複数のショートセルをパーシャルフィルセルに格納された仮想パス識別子毎に多重化する第3のステップと、

第3のステップにて多重化されたショートセルが格納されパーシャルフィルセルの仮想パス識別子が仮想チャネル識別子として格納されこれらのショートセルを格納していたパーシャルフィルセルの仮想チャネル識別子がショートセルコネクション識別子として格納されたセルを生成する第4のステップと、

第4のステップにて生成されたセルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力する第5のステップとを含むことを特徴とするショートセルヘッダ変換方法。

【請求項10】多重化された複数のショートセルを格納したAAL Type 2形式のセルに格納された仮想チャネル識別子を変換後の仮想チャネル識別子のみでAAL Type 2形式のセルのコネクションを識別可能な値に変換する第6のステップと、

第6のステップを経たAAL Type 2形式のセルに格納されたショートセルを1個ずつ格納したパーシャルフィルセルを生成する第7のステップと、

第7のステップにて生成された各パーシャルフィルセルにAAL Type 2セルの仮想チャネル識別子を仮想パス識別子として格納する第8のステップと、

第7のステップにて生成された各パーシャルフィルセルにそのパーシャルフィルセルが格納するショートセルのコネクション識別子を仮想チャネル識別子として格納する第9のステップと、

第9のステップを経たパーシャルフィルセルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定

の値に変換して出力する第10のステップとをさらに含むことを特徴とする請求項9記載のショートセルヘッダ変換方法。

【請求項11】ATMセルに格納されたショートセルをATM交換機によってその宛先へ転送するためのショートセルヘッダ変換方法であって、

多重化された複数のショートセルを格納したセルに格納された仮想チャネル識別子を変換後の仮想チャネル識別子で当該セルのコネクションを識別可能な値に変換する第1のステップと、

第1のステップを経たセルに格納されたショートセルを1個ずつ格納した標準セルを生成する第2のステップと、

第2のステップにて生成された各標準セルに前記第1のステップを経たセルの仮想チャネル識別子を仮想パス識別子として格納する第3のステップと、

第3のステップにて生成された各標準セルにその標準セルが格納するショートセルのコネクション識別子を仮想チャネル識別子として格納する第4のステップと、

第4のステップを経た標準セルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力する第5のステップとを含むことを特徴とするショートセルヘッダ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ショートセルをATM(Asynchronous Transfer Mode)交換機を用いてルーティングするためのショートセル多重装置に関する。

【0002】

【従来の技術】ATMを用いて通信を行う場合には、ATMセルと呼ばれるデータの交換単位のペイロードにデータを詰め込み、このATMセルを予め設定されたATMコネクションを用いて伝送することによってデータ通信が行われる。このとき、1つのATMセルには、1つのATMコネクションに対して1つの宛先情報(VPI/VCI:仮想パス識別子/仮想チャネル識別子)が割り当てられ、そのVPI/VCIは、ATMセルのヘッダに埋め込まれる。そして、このようなATMセルが、VPI/VCIに従って、ATMネットワーク内の所定のATMコネクション上を伝送される。

【0003】ところで、移動通信の場合には、通信帯域の有効利用を図るため、伝送されるデータは、圧縮処理が施された低ビットレートのデータ形式に変換されて伝送される。このような低速ビットレートの情報を標準のATMセルのペイロードに埋め込むと、一つのATMセルのペイロードがデータで満たされるのに時間を要する。このため、データの遅延を生じ、通信の品質低下を招くおそれがある。

【0004】そこで、ATMセルのペイロード中に情報長の短いショートセルを複数個埋め込むことによって、

データがATMセル化される時間(セルのペイロードがデータで満たされる時間)の短縮化を図り、データの遅延抑制及び伝送帯域の有効利用を図る伝送方式が、ITU-Tを中心に進められている。

【0005】図18は、ペイロード内にショートセルが多重されたAAL Type 2形式のATMセル(以下、「AAL Type 2セル」という)を示す図であり、図19は、図18に示したAAL Type 2セル及びショートセルに格納されるヘッダ情報を示すテーブルである。AAL Type 2フォーマットは、複数のショートセルを伝送するためのATMセルとして近年勧告されたものである。

【0006】図18において、AAL Type 2セルのヘッダは、標準セルヘッダのフォーマットに新たにOSF, SN, Pの各フィールド(1バイト)が加えられている。このため、AAL Type 2セルのペイロード長は、標準セルと異なり47バイトとなっている。

【0007】また、ショートセルは、ショートセルヘッダとショートセルペイロードとからなる。ショートセルヘッダ内には、ショートセルコネクションを識別するためのCID(ショートセルコネクション識別子)と、そのショートセルのペイロード長を示す長さ表示(LI: Length Indicator)とが埋め込まれる。一方、ショートセルペイロードには、上記した低ビットレートの情報が埋め込まれる。以下、「AAL Type 2セル」という場合には、複数のショートセルを格納したAAL Type 2セルのことを指すものとする。

【0008】

【発明が解決しようとする課題】しかしながら、上述したAAL Type 2セルをATMコネクションで伝送する場合には以下の問題があった。即ち、AAL Type 2セルのペイロードには異なるCIDを持つ複数のショートセルが多重される。このため、ATM交換機がショートセル単位でスイッチングを行わなければ、各ショートセルを所望の宛先へ伝送することができない。ところが、従来のATM交換機は、ATMセルのペイロードに埋め込まれたショートセルについての処理を行う機能が搭載されていなかった。このため、ショートセル単位のスイッチングを行うことができなかった。

【0009】従って、ATM交換機にショートセル単位でのスイッチングを行う機能を持たせる必要があった。この場合、機能実現に必要な構成を簡易とするため、ATM交換機がAAL Type 2セルに対する処理を施すことによってショートセル単位でのスイッチングを行う構成とすることが望ましい。

【0010】そこで、ATM交換機が、自身に入力されたAAL Type 2セルから複数のショートセルを抽出し、各ショートセルを一つずつペイロードに格納したATM標準セル(「パシアルフィルセル」と称する)を複数個生成し、パシアルフィルセル毎にスイッチン

グを行えば、ショートセル単位でスイッチングを行うことが可能となる。このような複数のショートセルを格納したAAL Type 2セルとパシアルフィルセルとの変換を実行する装置をショートセル多重分離装置と称する。

【0011】このショートセル多重分離装置を構成する場合において、複数のショートセルを格納したAAL Type 2セルとパシアルフィルセルとの間の変換を行う際には、これらのセルが呼(コネクション)単位で一意的に識別できるヘッダに付け替えることが必要である。

【0012】ここで、従来のATM交換機は、自身に入力される標準ATMセルのヘッダに格納されたVPI/VCI(入側VPI/VCI)とこれに対応するVPI/VCI(出側VPI/VCI)とを記憶したテーブルを有しており、自身に入力されたATMセルのVPI/VCIをテーブルに従って変換する(ヘッダ変換)。そして、ATM交換機は、変換後の出側VPI/VCIに従ってATMセルの出方路を決定し(ルーティング)、その出方路からATMセルを送出する。

【0013】一方、ショートセルのヘッダ変換としては、AAL Type 2自体が比較的新しい概念であるため、既存技術としてはまだ確立されていない。ここで、容易に考えられるショートセルヘッダ変換装置としては、図20に示すように、これまでのATM標準セルのヘッダ変換処理で行われている構成と同様の構成が考えられる。即ち、ATM交換機に入力されたセルのVPI, VCI, CIDを全て参照して出側のVPI, VCI, CIDに付け替える構成である。

【0014】この場合には、パシアルフィルセルをAAL Type 2セルに変換するには、図20(a)に示すように、アドレスを入側のVPI, VCIとし、データを入側のVPI, VCIに対応する新たなVPI, VCI, CIDとしたテーブルを用意する必要がある。一方、AAL Type 2セルをパシアルフィルセルに変換する場合には、図20(b)に示すように、アドレスを上記した新たなVPI, VCI, CIDとし、データを新たなVPI, VCI, CIDに対応する出側VPI, VCIとしたテーブルを用意する必要がある。

【0015】ところが、上述したテーブルに設定可能な全てのパターンを格納すると、テーブルには、アドレス領域として2の28乗ビット、データとして36ビットが必要であるので、9.6ギガビットの膨大なメモリ容量が必要となり、ショートセル多重分離装置のコストに与える影響が大きい。また、従来行われているように、VPI及びVCIの有効桁数を制限することによってテーブルに要するメモリ量を減らすことはできるが、VPI及びVCIにCID(8ビット)が加わるため、この場合でもテーブルのメモリ量は従来より大きくなってしま

【0016】本発明は上記問題に鑑みなされたものであり、ATM交換機においてショートセル毎にATMセルのスイッチングを行うための構成を、ハードウェアの規模拡大を抑えつつ実現可能なショートセル多重装置及びショートセルヘッダ変換方法を提供することを課題とする。

【0017】

【課題を解決するための手段】本発明は、上述した課題を解決するために以下の構成を採用する。すなわち、請求項1の発明は、第1ヘッダ変換部と、ショートセル多重部と、第2ヘッダ変換部とを備え、前記第1ヘッダ変換部は、1個のショートセルを格納した標準セルたるパーシャルフィルセルが複数個入力され、各パーシャルフィルセルに格納された仮想パス識別子を前記ショートセル多重部での多重処理の単位となる値に変換し、各パーシャルフィルセルに格納された仮想コネクション識別子を前記ショートセル多重部にてショートセルに格納されるショートセルコネクション識別子となる値に変換して出力し、前記ショートセル多重部は、前記第1ヘッダ変換部から出力されたパーシャルフィルセルを複数個受け取り、これらのパーシャルフィルセルに格納された複数個のショートセルをパーシャルフィルセルに格納された仮想パス識別子毎に多重化し、これらのパーシャルフィルセルの仮想チャンネル識別子がショートセルのコネクション識別子として格納されこれらのショートセルを格納していたパーシャルフィルセルの仮想パス識別子が仮想チャンネル識別子として格納されたセルを生成して出力し、前記第2ヘッダ変換部は、前記ショートセル多重部から出力されたセルを受け取り、このセルに格納された仮想パス識別子及び仮想チャンネル識別子の夫々を所定の値に変換して出力することを特徴とするショートセル多重装置である。

【0018】請求項2の発明は、請求項1記載の第1ヘッダ変換部が、多重化された複数個のショートセルを格納したAAL Type 2形式のセルを受け取り、このAAL Type 2形式のセルに格納された仮想チャンネル識別子を変換処理後の仮想チャンネル識別子のみでAAL Type 2形式のコネクションが識別可能な値に変換し、このAAL Type 2形式のセルを出力し、第1ヘッダ変換部から出力されたAAL Type 2形式のセルを受け取り、このAAL Type 2形式のセルに格納されたショートセルを1個ずつ格納したパーシャルフィルセルを生成し、各パーシャルフィルセルにAAL Type 2セルの仮想チャンネル識別子を仮想パス識別子として格納し、各パーシャルフィルセルにそのパーシャルフィルセルが格納するショートセルのコネクション識別子を仮想チャンネル識別子として格納して出力するショートセル分離部をさらに備え、第2ヘッダ変換部が、前記ショートセル分離部から出力されたパーシャルフィルセルを受け取り、このパーシャルフィルセルに格

納された仮想パス識別子及び仮想チャンネル識別子の夫々を所定の値に変換して出力することを特徴とする。

【0019】請求項3の発明は、請求項2記載の第1ヘッダ変換部が、変換処理後のパーシャルフィルセルの仮想パス識別子とAAL Type 2形式の仮想パス識別子とが重複しないように仮想パス識別子を変換し、前記第1ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルに格納された仮想パス識別子に従って、パーシャルフィルセルを前記ショートセル多重部に入力し、AAL Type 2形式のセルを前記ショートセル分離部に入力する振分部をさらに備えたことを特徴とする。

【0020】請求項4の発明は、請求項3記載の第1ヘッダ変換部が、2の乗数個の仮想パス識別子を有し、この2の乗数個の仮想パス識別子の何れかを特定値とし、この特定値でAAL Type 2形式のセルの仮想パス識別子を変換し、特定値以外の値でパーシャルフィルセルの仮想パス識別子を変換し、振分部が、自身に入力されたセルのうち、特定値を仮想パス識別子として持つセルを前記ショートセル多重部に入力し、特定値以外の値を仮想パス識別子として持つセルを前記ショートセル分離部に入力することを特徴とする。

【0021】請求項5の発明は、請求項2記載のショートセル多重装置が、ショートセル多重部から出力されたAAL Type 2形式のセルと前記ショートセル分離部から出力されたパーシャルフィルセルとを多重し、前記第2ヘッダ変換部に入力するセル多重部をさらに備えたことを特徴とする。

【0022】請求項6の発明は、請求項2記載の第1ヘッダ変換部が、パーシャルフィルセル及びAAL Type 2形式のセル以外のセルを受け取り、このセルに格納された仮想チャンネル識別子及び仮想チャンネル識別子を所定の値に変換して出力することを特徴とする。

【0023】請求項7の発明は、請求項2記載のショートセル多重装置が第1ヘッダ変換部を複数個有し、各第1ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルを受け取って前記振分部へ向けて出力し、前記第2ヘッダ変換部から出力されたパーシャルフィルセル及びAAL Type 2形式のセルを受け取って所定の出方路から出力するATMスイッチをさらに備えたことを特徴とする。

【0024】請求項8の発明は、第1ヘッダ変換部と、ショートセル分離部と、第2ヘッダ変換部とを備え、前記第1ヘッダ変換部は、多重化された複数個のショートセルを格納したセルを受け取り、このセルに格納された仮想チャンネル識別子を前記ショートセル分離部が変換後の仮想チャンネル識別子でこのセルに格納された各ショートセルのコネクションを識別可能な値に変換し、ヘッダを変換したセルを前記ショートセル分離部へ向けて出力し、前記ショートセル分離部は、前記第1ヘッダ変換部

から出力されたセルを受け取り、このセルに格納されたショートセルを1個ずつ格納した標準セルを生成し、各標準セルに前記セルの仮想チャネル識別子を仮想パス識別子として格納し、各標準セルにその標準セルが格納するショートセルのコネクション識別子を仮想チャネル識別子として格納し、各標準セルを前記第2ヘッダ変換部へ向けて出力し、前記第2ヘッダ変換部は、前記ショートセル分離部から出力された標準セルを受け取り、この標準セルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力することを特徴とするショートセル分離装置である。

【0025】請求項9の発明は、ATMセルに格納されたショートセルをATM交換機によってその宛先へ転送するためのショートセルヘッダ変換方法であって、1個のショートセルを格納した標準セルたる各パーシャルフィルセルに格納された仮想パス識別子を前記ショートセル多重部での多重処理の単位となる値に変換する第1のステップと、各パーシャルフィルセルに格納された仮想コネクション識別子を前記ショートセル多重部にてショートセルに格納されるショートセルコネクション識別子となる値に変換する第2のステップと、第2のステップを経た複数のパーシャルフィルセルに格納された複数のショートセルをパーシャルフィルセルに格納された仮想パス識別子毎に多重化する第3のステップと、第3のステップにて多重化されたショートセルが格納されこれらのショートセルのコネクション識別子が仮想チャネル識別子として格納されこれらのショートセルを格納していたパーシャルフィルセルの仮想パス識別子が仮想チャネル識別子として格納されたAAL Type 2形式のセルを生成する第4のステップと、第4のステップにて生成されたAAL Type 2形式のセルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力する第5のステップとを含むことを特徴とする。

【0026】請求項10の発明は、請求項9記載のショートセルヘッダ変換方法が、多重化された複数のショートセルを格納したAAL Type 2形式のセルに格納された仮想チャネル識別子を変換後の仮想チャネル識別子のみでAAL Type 2形式のセルのコネクションを識別可能な値に変換する第6のステップと、第6のステップを経たAAL Type 2形式のセルに格納されたショートセルを1個ずつ格納したパーシャルフィルセルを生成する第7のステップと、第7のステップにて生成された各パーシャルフィルセルにAAL Type 2セルの仮想チャネル識別子を仮想パス識別子として格納する第8のステップと、第7のステップにて生成された各パーシャルフィルセルにそのパーシャルフィルセルが格納するショートセルのコネクション識別子を仮想チャネル識別子として格納する第9のステップと、第9のステップを経たパーシャルフィルセルに格納された仮想

パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力する第10のステップとをさらに含むことを特徴とする。

【0027】請求項11の発明は、ATMセルに格納されたショートセルをATM交換機によってその宛先へ転送するためのショートセルヘッダ変換方法であって、多重化された複数のショートセルを格納したセルに格納された仮想チャネル識別子を変換後の仮想チャネル識別子で当該セルのコネクションを識別可能な値に変換する第1のステップと、第1のステップを経たセルに格納されたショートセルを1個ずつ格納した標準セルを生成する第2のステップと、第2のステップにて生成された各標準セルに前記第1のステップを経たセルの仮想チャネル識別子を仮想パス識別子として格納する第3のステップと、第3のステップにて生成された各標準セルにその標準セルが格納するショートセルのコネクション識別子を仮想チャネル識別子として格納する第4のステップと、第4のステップを経た標準セルに格納された仮想パス識別子及び仮想チャネル識別子の夫々を所定の値に変換して出力する第5のステップとを含むことを特徴とする。

【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【実施形態1】図1は、本発明の実施形態によるショートセル多重装置10の構成図である。図1において、ショートセル多重装置10は、第1ヘッダ変換部11と、第1ヘッダ変換部11に接続されたショートセル多重部12と、ショートセル多重部12に接続された第2ヘッダ変換部13とを備える。

【0029】第1ヘッダ変換部11には、図18に示したパーシャルフィルセルが入力される。第1ヘッダ変換部11は、自身に入力されたパーシャルフィルセルのヘッダに格納されたVPI、VCIをアドレスとし、これらに対応する新たなVPI、VCIをデータとするヘッダ変換用のテーブル11aを有している。

【0030】第1ヘッダ変換部11は、テーブル11aを用い、自身に入力されたパーシャルフィルセルのVPIが多重処理の単位となるように、そのヘッダに格納されたVPIを、ショートセル多重部12による処理後のVCIとなる値(多重化単位通番)に変換する。また、第1ヘッダ変換部11は、パーシャルフィルセルのヘッダに格納されたVCIを、ショートセル多重部12の処理後におけるショートセルヘッダのCIDとなる値に変換する。

【0031】ショートセル多重部12は、第1ヘッダ変換部11から複数のパーシャルフィルセルを受け取り、この複数のパーシャルフィルセルからAAL Type 2セルを生成する。このとき、ショートセル多重部12は、同じVPI番号を持つパーシャルフィルセル

を集め、これらのパーシャルフィルセルに格納されたショートセルを多重化し、AAL Type 2セルのペイロードに詰め込む。

【0032】また、ショートセル多重部12は、パーシャルフィルセルのVPI番号をVCIとしてAAL Type 2セルのヘッダに格納するとともに、パーシャルフィルセルのVCI番号を各ショートセルのCIDとしてAAL Type 2セルのペイロードに格納された各ショートセルヘッダに格納する(図2参照)。

【0033】第2ヘッダ変換部13は、ショートセル多重部12から出力されたAAL Type 2セルに格納されたVPI/VCIをアドレスとし、これらに対応する新たなVPI/VCI(例えば、ショートセルの宛先に相当するVPI/VCI)をデータとするテーブル13aを有している。

【0034】第2ヘッダ変換部13は、ショートセル多重部12からAAL Type 2セルを受け取ると、そのAAL Type 2セルのVPI/VCIをキーとして対応する新たなVPI/VCIをテーブル13aから読み出し、そのVPI/VCIをAAL Type 2セルのヘッダに格納する。

【0035】第2ヘッダ変換部13によるヘッダ変換処理は、ショートセル多重部12にてAAL Type 2セルのヘッダに格納されるVPI/VCIが、ユーザの使用が許可されていないものを含むことに鑑みたものである。即ち、第2ヘッダ変換部13は、AAL Type 2セルのヘッダに格納されたVPI/VCIを、ATMネットワーク内での使用が許可されたVPI/VCIに変換する。

【0036】なお、第1ヘッダ変換部11、ショートセル多重部12、及び第2ヘッダ変換部13は、IC、LSI、或いは、CPU及びメモリを中心としたプロセッサ装置を用いて構成することができる。

【0037】図2は、図1に示したショートセル多重装置10の具体例を示す図であり、図3は、図2に示したショートセル多重装置10によるヘッダ変換処理を示すテーブルである。図2には、ショートセル多重部12にて64本のVP(仮想パス: VPI=0~63)の処理が可能な例が示されている。但し、ショートセル多重部12から出力されるAAL Type 2セルのVPI番号は必ず0となるようにされている。また、同一のVCを通じて伝送されてきた複数のパーシャルフィルセルに格納された複数のショートセルは同一のCIDを持つものとする。

【0038】第1ヘッダ変換部11は、自身にパーシャルフィルセルが入力されると、そのパーシャルフィルセルに格納されたVPI番号をこのVPI番号と対応するVPI番号(64本のVPの何れかを示すVPI番号: V=0~63)に変換する。このとき、第1ヘッダ変換部11は、同じVPを通じて第1ヘッダ変換部11に入

力されたパーシャルフィルセルには、同一のVPI番号をもって変換処理を行う。また、第1ヘッダ変換部11は、パーシャルフィルセルに格納されたVCI番号に従って、そのVCI番号を新たなVCI番号に変換する。

【0039】この変換後のVCI番号は、ショートセル多重部12にてショートセルに格納されるCID番号に相当する。CID番号は8ビットで示されるので(図18参照)、第1ヘッダ変換部11が付け替えるVCI番号は、“0”~“255”の何れかとなる。その後、第1ヘッダ変換部11はヘッダ変換処理を施したパーシャルフィルセルをショートセル多重部12へ転送する。

【0040】ショートセル多重部12は、第1ヘッダ変換部11から入力された複数のパーシャルフィルセルを図示せぬバッファに蓄積する。また、ショートセル多重部12は、ショートセルを伝送する呼のQoS(サービス品質: 例えば伝送帯域)に従って、所定時間毎にAAL Type 2セルを送出すべきATMコネクション(図示せぬバッファから読み出すべきショートセル)を決定し、この決定結果に従って図示せぬバッファから同一のVPI番号を持つ複数のパーシャルフィルセルを読み出す。

【0041】続いて、ショートセル多重部12は、これらのパーシャルフィルセルに格納された複数のショートセルを多重し、この多重されたショートセルがペイロードに格納されたAAL Type 2セルを生成する。そして、ショートセル多重部12は、パーシャルフィルセルに格納されたVPI番号を、そのAAL Type 2セルのヘッダにVCI番号として格納し、パーシャルフィルセルのVCI番号を、各ショートセルヘッダにCIDとして格納する。その後、ショートセル多重部12は、AAL Type 2セルを第2ヘッダ変換部13へ向けて送出する。

【0042】第2ヘッダ変換部13は、ショートセル多重部12からAAL Type 2セルを受け取ると、そのAAL Type 2セルのVPI/VCIを、所望のVPI/VCI(ショートセルの宛先に対応するVPI/VCI)に変換する。そして、第2ヘッダ変換部13は、VPI/VCIを変換したAAL Type 2セルを送出する。その後、AAL Type 2セルは、VPI/VCIに従ったATMコネクション上を伝送される。なお、図3のテーブルにおける“d.c.”は、任意の番号をとることができることを示す。

【0043】このように、ショートセル多重装置10によると、第1ヘッダ変換部11に入力されたパーシャルフィルセルのVPI番号が、多重化単位通番となる新たなVPI番号に変換され、この同一のVPI番号を持つ複数のパーシャルフィルセルに格納された複数のショートセルがショートセル多重部12にて多重される。このため、多重化単位通番を制御することで、ショートセル多重部12にて多重化される複数のショートセル

を自由に選択することができる。

【0044】例えば、同一のVPI/VCIを通じて第1ヘッダ変換部11に入力された各パシアルフィルセルのVPI番号が、必ず同一の新たなVPI番号(多重化単位通番)に変換されるようにすれば、同一の送信元から送信されてきた複数のショートセルをショートセル多重部12にて多重できる。

【0045】また、ショートセル多重部12に入力されたパシアルフィルセルのVPI番号がショートセル多重部12から出力されるAAL Type 2セルのVCI番号となり、ショートセル多重部12に入力されるパシアルフィルセルのVCI番号が各ショートセルのCID番号となるので、同一のVPI番号を持つパシアルフィルセルをショートセル多重部12に入力すれば、ショートセル多重装置10(第2ヘッダ変換部13)から出力されるショートセルは、同一のVC(ATMコネクション)上を伝送される。このため、同一のCID番号を持つショートセルを同一の宛先へ向けて伝送することができる。

【0046】また、ショートセル多重装置10によれば、第1ヘッダ変換部11のテーブル11a及び第2ヘッダ変換部13のテーブル13aが、CIDをデータとして有しないので、テーブル11a、13aに要するメモリ容量を少なくすることができる。

【実施形態2】図4は、本発明の実施形態によるショートセル分離装置14を示す構成図である。図4において、ショートセル分離装置14は、第1ヘッダ変換部15と、第1ヘッダ変換部15に接続されたショートセル分離部16と、ショートセル分離部16に接続された第2ヘッダ変換部17とを備える。

【0047】第1ヘッダ変換部15には、図18に示したAAL Type 2セルが入力される。第1ヘッダ変換部15は、自身に入力されたAAL Type 2セルのヘッダに格納されたVPI、VCIをアドレスとし、これらに対応する新たなVPI、VCIをデータとする変換用のテーブル15aを有している。

【0048】第1ヘッダ変換部15は、テーブル15aを用い、自身に入力されたAAL Type 2セルのVPI番号を新たな任意のVPI番号に変換する。また、第1ヘッダ変換部15は、テーブル15aを用いて自身に入力されたAAL Type 2セルに格納されたVCI番号を、新たなVCI番号に変換する。このとき、第1ヘッダ変換部15は、ショートセル分離部16による処理後におけるVPI番号を、新たなVCI番号としてAAL Type 2セルのヘッダに格納する。

【0049】ショートセル分離部16は、第1ヘッダ変換部15から入力されたAAL Type 2セルを複数のパシアルフィルセルに分離する。このとき、ショートセル分離部16は、AAL Type 2セルに格納されたVCIを各パシアルフィルセルのVPIとして

格納するとともに、パシアルフィルセルに格納されたショートセルのCIDをそのパシアルフィルセルのVCIとして格納する。

【0050】第2ヘッダ変換部17は、ショートセル分離部16から出力された各パシアルフィルセルに格納されたVPI/VCIをアドレスとし、これらに対応する新たなVPI/VCI(例えば、ショートセルの宛先に相当するVPI/VCI)をデータとするテーブル17aを有している。第2ヘッダ変換部17は、ショートセル分離部12からパシアルフィルセルを受け取ると、そのパシアルフィルセルのVPI/VCIをキーとしてこれらに対応するVPI/VCIをテーブル17aから読み出し、そのVPI/VCIをパシアルフィルセルに格納する。

【0051】なお、第1ヘッダ変換部15、ショートセル分離部16、及び第2ヘッダ変換部17は、IC、LSI、或いはCPU及びメモリを中心としたプロセッサ装置で構成できる。

【0052】図5は、図4に示したショートセル分離装置の具体例を示す図であり、図6は、図5に示したショートセル分離装置14によるヘッダ変換処理を示すテーブルである。図5には、ショートセル分離部15にて64本のVP(仮想パス: VPI=0~63)の処理が可能な例が示されている。但し、第1ヘッダ変換部15によって変換されるAAL Type 2セルのVPI番号は必ず“0”となる設定が施されている。

【0053】第1ヘッダ変換部15は、自身にAAL Type 2セルが入力されると、そのAAL Type 2セルに格納されたVPI番号を“0”に変換する。また、第1ヘッダ変換部15は、AAL Type 2セルに格納されたVCI番号に従って、そのVCI番号を新たなVCI番号(“0”~“64”の何れか)に変換する。この変換後のVCI番号は、ショートセル分離部16にてパシアルフィルセルに格納されるVPI番号に相当する。ここでは、変換後のVCI番号として“0”が格納されたものとする。その後、第1ヘッダ変換部15は、ヘッダ変換処理を施したAAL Type 2セルを、ショートセル分離部16へ向けて出力する。

【0054】ショートセル分離部16は、第1ヘッダ変換部15から出力されたAAL Type 2セルが入力されると、このAAL Type 2セルを複数のパシアルフィルセルに分離し、AAL Type 2セルに格納されたVCI番号“0”を各パシアルフィルセルにVPIとして格納する。続いて、ショートセル分離部16は、パシアルフィルセルに格納されたCID番号を、そのパシアルフィルセルのヘッダにVCI番号として格納する。その後、ショートセル分離部16は、各パシアルフィルセルを第2ヘッダ変換部17へ向けて送出的。

【0055】第2ヘッダ変換部17は、ショートセル分

離部16からパーシャルフィルセルを受け取ると、そのパーシャルフィルセルのVPI/VCIを、所望のVPI/VCIに変換する。そして、VPI/VCIを変換したAAL Type 2セルを送出する。その後、第2ヘッダ変換部17は、AAL Type 2セルは、VPI/VCIに従ったATMコネクション上を伝送される。

【0056】このように、ショートセル分離装置14によると、複数のショートセルを格納したAAL Type 2セルを複数のパーシャルフィルセルに変換できる。このため、パーシャルフィルセル毎にスイッチングを行うことで、ショートセル毎にスイッチングを行うことができ、ショートセルを適正な宛先へ伝送することが可能となる。さらに、ショートセル分離装置14は、第1、第2ヘッダ変換部11、13のテーブルにCIDをアドレスとして含まないので必要とするメモリ量を抑えることができる。

【0057】[実施形態3] 図7は、本発明の実施形態によるショートセル多重分離装置18の構成図である。図7において、ショートセル多重分離装置18は、第1ヘッダ変換部19と、第1ヘッダ変換部19と接続された振分部20と、振分部20と接続されたショートセル多重部12及びショートセル分離部16と、これらに接続されたセル多重部21と、このセル多重部21と接続された第2ヘッダ変換部22とを有している。

【0058】第1ヘッダ変換部19は、実施形態1で説明した第1ヘッダ変換部11の構成と実施形態2で説明した第1ヘッダ変換部13の構成とを備えている。この第1ヘッダ変換部19には、AAL Type 2セル及びパーシャルフィルセルが入力される。第1ヘッダ変換部19は、AAL Type 2セルが入力された場合には、上述した第1ヘッダ変換部11としての処理を行い、パーシャルフィルセルが入力された場合には、上述した第1ヘッダ変換部13としての処理を行う。

【0059】振分部20は、第1ヘッダ変換部19から入力されたセルがAAL Type 2セルとパーシャルフィルセルとの何れであるかを判定する。このとき、振分部20は、セルがAAL Type 2セルである場合には、そのセルをショートセル分離部16に入力し、パーシャルフィルセルである場合には、そのセルをショートセル多重部12に入力する。

【0060】ショートセル多重部12は実施形態1と同様であり、ショートセル分離部16は実施形態2と同様であるので説明を省略する。第2ヘッダ変換部22は、実施形態1で説明した第2ヘッダ変換部13の構成と実施形態2で説明した第2ヘッダ変換部17の構成とを備えている。この第2ヘッダ変換部19には、ショートセル多重部12からAAL Type 2セルが入力され、ショートセル分離部16からパーシャルフィルセルが入力される。第2ヘッダ変換部22は、AAL Type

2セルが入力された場合には、上述した第2ヘッダ変換部13としての処理を行い、パーシャルフィルセルが入力された場合には、上述した第1ヘッダ変換部17としての処理を行う。なお、振分部20及びセル多重部21は、IC、LSI、或いは、CPU及びメモリを中心としたプロセッサ装置を用いて構成することができる。

【0061】図8は、図7に示したショートセル多重分離装置18の具体例を示す図であり、図9は、図8に示したショートセル多重分離装置18によるヘッダ変換処理を示すテーブルである。図8に示すショートセル多重分離装置18では、第1ヘッダ変換部19と振分部20との間に64本のVP(VPI=0~63)が設定され、且つ第1ヘッダ変換部19と振分部20との間に1本のVP(VPI=100)が設定され、両者のVPI番号が重ならないようにされている。VPI番号0~63のVPIは、VCI番号0~255のVCを束ねており、VPI番号100のVPは、VCI番号0~63のVCを束ねている。

【0062】一方、第2ヘッダ変換部22とセル多重部21との間に1本のVP(VPI=100)が設定され、且つ第2ヘッダ変換部22とセル多重部21との間に64本のVP(VPI=0~63)が設定され、両者のVPI番号が重ならないようにされている。VPI番号100のVPは、VCI番号0~63のVCを束ねており、VPI番号0~63のVPIは、VCI番号0~255のVCを束ねている。

【0063】図8及び図9において、第1ヘッダ変換部19は、上述したVPI番号0~63のVPと対応する入力側のVPからパーシャルフィルセルを受け取り、上述したとなるVPI番号100のVPと対応するVPからAAL Type 2セルを受け取る。

【0064】第1ヘッダ変換部19は、パーシャルフィルセルを受け取った場合には、VPIをVPI番号0~63の何れかに変換するとともに、ショートセル多重後のCID番号がヘッダ変換後のVCIとなるように変換し、そのパーシャルフィルセルを振分部20に入力する。一方、第1ヘッダ変換部19は、AAL Type 2セルを受け取った場合には、VPI番号を100に変換するとともに、変換後のVCI番号で分離側へのセルが一意に識別できるように変換し、AAL Type 2セルを振分部20に入力する。

【0065】振分部20は、自身に入力されたセルのVPIを監視し、VPI番号が0~63である場合には、そのセルをショートセル多重部12に入力する。一方、振分部20は、VPI番号が100である場合には、そのセルをショートセル分離部16に入力する。

【0066】ショートセル多重部12は、実施形態1とほぼ同様の処理を行うが、ここでは、セル多重部21へ向けて出力するAAL Type 2セルのVPI番号を100に設定し(図9参照)、そのAAL Type 2セ

ルをセル多重部21に入力する。一方、ショートセル分離部16は、実施形態2と同様の処理を行い、パシアルフィルセルをセル多重部21に入力する。

【0067】セル多重部21は、ショートセル多重部12から入力されたAAL Type 2セルとショートセル分離部16から入力されたパシアルフィルセルとは、VPI番号が異なることに鑑み、これらを多重化して第2ヘッダ変換部22に入力する。

【0068】第2ヘッダ変換部22は、AAL Type 2セル及びパシアルフィルセルの各VPI/VC Iを、ショートセルの宛先と相当するVPI/VC Iに変換し、該当するVP, VCへ向けて送出する。これによって、AAL Type 2セル及びパシアルフィルセルは、所望のATMコネクションを通じて伝送される。

【0069】ショートセル多重装置18によると、パシアルフィルセルからAAL Type 2セルへの変換、及びAAL Type 2セルからパシアルフィルセルへの変換が可能となる。

【0070】〔実施形態4〕図10は、本発明の実施形態によるショートセル多重分離装置23の具体例を示す図であり、図11は、図10に示したショートセル多重分離装置23によるヘッダ変換処理を示すテーブルである。図10に示すショートセル多重分離装置23は、以下の点を除き、実施形態3で説明したショートセル多重分離装置14と同様の構成を有する。

【0071】即ち、図10に示すように、第1ヘッダ変換部19と振分部20とを結ぶVPが64本設けられ、振分部20が、VPI番号1～63が格納されたセルをショートセル多重部12へ転送し、VPI番号0が格納されたセルをショートセル分離部16へ転送する点異なる。また、上記したVPの本数に対応して、ショートセル多重部12及びショートセル分離部16とセル多重部21とを結ぶVPが64本設けられている点異なる。

【0072】図10に示すようにショートセル多重分離部23を構成すると、振分部20にで扱うVPIが0～63の64個となり、振分部20に入力されたセルのVPI格納領域における6ビットのみを参照してセルの振り分け処理を行えば良い。(図9に示したショートセル多重分離部18の振分部20では、セルのVPI格納領域における7ビットを参照してセルの振り分け処理を行っている)。

【0073】また、ショートセル多重部12が、自身から出力するセルにVPI番号0を格納する。これらによって、実施形態4におけるショートセル多重分離装置23は、実施形態3におけるショートセル多重分離装置18よりもハードウェア規模(メモリ容量)を小さくすることができる。

【0074】〔実施形態5〕図12は、本発明の実施形態によるショートセル多重分離装置24の構成図であ

り、図13は、図12に示したショートセル多重分離装置24の具体例を示す図であり、図14は、図13に示したショートセル多重分離装置24によるヘッダ変換処理を示すテーブルである。

【0075】図12及び図13に示すように、ショートセル多重分離装置24は、実施形態4にて説明したショートセル多重分離装置23とほぼ同様の構成を有するが、以下の点異なる。即ち、ショートセル多重分離装置24には、AAL Type 2セル及びパシアルフィルセル以外のフォーマットを持つセル(例えば、標準セルやAAL Type 5形式のセル)を伝送するためのルートを有しており、そのルートのうち、振分部20からセル多重部までのルートは、VPI番号200を持つVPで構成されており、第1ヘッダ変換部25と振分部26とを結ぶ他のVP(VPI番号0～63)とVPI番号が重ならないようにされている。

【0076】本実施形態によるショートセル多重分離装置24の動作は、以下の点を除き、実施形態4にて説明したショートセル多重分離装置23と同様である。即ち、図14に示すように、第1ヘッダ変換部25が例えばAAL Type 5形式のセルを受け取った場合には、第1ヘッダ変換部25は、そのセルに格納されたVPI番号を200に変換するとともに、そのセルに格納されたVC Iを新たなVC I番号に変換し、振分部26に入力する。

【0077】振分部26は、セルが入力されると、そのセルに格納されたVPI番号を参照し、このVPI番号が200である場合には、そのセルをセル多重部27に入力する。その後、セル多重部27に入力されたAAL Type 5形式のセルは、第2ヘッダ変換部28に入力され、そのVPI/VC Iが第2ヘッダ変換部28によって宛先に相当する新たなVPI/VC Iに変換された後、該当するVP, VCへ向けて送出される。実施形態5によれば、実施形態1～4の効果に加え、標準セルやAAL Type 5形式のセルのヘッダ変換にも用いることができる。

【0078】〔実施形態6〕図15は、本発明の実施形態によるショートセル多重分離装置29の構成図であり、図16は、図15に示したショートセル多重分離装置29の具体例を示す図であり、図17は、図16に示したショートセル多重分離装置29によるヘッダ変換処理を示すテーブルである。

【0079】図15に示すショートセル多重分離装置29では、図7に示した第1ヘッダ変換部19の後段にATMスイッチ(ATM-SW)30が設けられ、ATM-SW30の後段に、図7に示した振分部20、ショートセル多重部12、ショートセル分離部16、セル多重部21、第2ヘッダ変換部22が設けられ、第2ヘッダ変換部22から出力されたパシアルフィルセル及びAAL Type 2セルがATM-SW30に入力されるように

なっている。

【0080】このショートセル多重分離装置 29 によると、図 16 に示すように、第 1 ヘッド変換部 19 には、AAL Type 2 セル又はパーシャルフィルセルが入力される。第 1 ヘッド変換部 19 では、パーシャルフィルセルのヘッドを、多重処理の単位となる VPI (1 ~ 63 の何れか) に変換し、VCI をショートセル多重後の CID となるように変換する。同様に、AAL Type 2 セルのヘッドを VPI は 0 に固定して変換し、VCI をショートセル分離番号(分離処理通番: 1 ~ 63 の何れか)とするように変換する(図 17 参照)。

【0081】ATM-SW30 は、第 1 ヘッド変換部 19 から入力されたセルをそのヘッド情報に従って振分部 20 と接続された出力ポートにスイッチングする。振分部 20 以降の動作は、実施形態 4 と同様である。そして、第 2 ヘッド変換部 22 によって、各セルの VPI / VCI は、宛先に相当する所望の VPI / VCI に変換され(図 17 参照)、ATM-SW30 に入力される。そして、セルは、ATM-SW30 によって所望の出力ポートから出力される。以上に説明した構成とすることで、ショートセル多重部 12 及びショートセル分離部 16 を ATM-SW30 後段に配置した場合のショートセルヘッド変換が可能となる。

【0082】

【発明の効果】本発明によるショートセル多重装置及びショートセルヘッド変換方法によれば、ATM 交換機においてショートセル単位で ATM セルのスイッチングが行われるようにパーシャルフィルセル及び AAL Type 2 セルのヘッド変換を行うので、ATM 交換機を用いてショートセルのルーティングを行うことができる。また、ヘッド変換処理に際し、そのヘッド変換用のテーブルのアドレスに一度に VPI, VCI, CID を格納しなくて済むので、テーブルに要するメモリ容量を減らすことができる。このため、ショートセル多重装置のハードウェア構成を小さくすることができる。

【図面の簡単な説明】

【図 1】本発明の実施形態によるショートセル多重装置の構成図

【図 2】図 1 に示したショートセル多重装置の具体例を示す図

【図 3】図 2 に示したショートセル多重装置によるヘッド変換処理を示すテーブル

【図 4】本発明の実施形態によるショートセル分離装置の構成図

【図 5】図 4 に示したショートセル分離装置の具体例を示す図

【図 6】図 2 に示したショートセル分離装置によるヘッド変換処理を示すテーブル

【図 7】本発明の実施形態によるショートセル多重分離装置の構成図

【図 8】図 7 に示したショートセル多重分離装置の具体例を示す図

【図 9】図 8 に示したショートセル多重分離装置によるヘッド変換処理を示すテーブル

【図 10】本発明の実施形態によるショートセル多重分離装置の構成図

【図 11】図 10 に示したショートセル多重分離装置によるヘッド変換処理を示すテーブル

【図 12】本発明の実施形態によるショートセル多重分離装置の構成図

【図 13】図 12 に示したショートセル多重分離装置の具体例を示す図

【図 14】図 13 に示したショートセル多重分離装置によるヘッド変換処理を示すテーブル

【図 15】本発明の実施形態によるショートセル多重分離装置の構成図

【図 16】図 15 に示したショートセル多重分離装置の具体例を示す図

【図 17】図 16 に示したショートセル多重分離装置によるヘッド変換処理を示すテーブル

【図 18】ATM セル及びショートセルのフォーマット説明図

【図 19】図 18 に示したフォーマットを説明するテーブル

【図 20】ショートセル多重／分離処理のヘッド変換テーブル

【符号の説明】

10 ショートセル多重装置

11, 15, 19 第 1 ヘッド変換部

12 ショートセル多重部

13, 17, 22 第 2 ヘッド変換部

14 ショートセル分離装置

16 ショートセル分離部

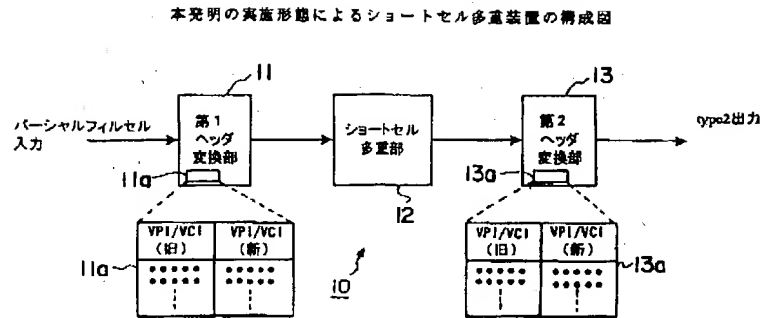
20, 20a 振分部

21, 21a セル多重部

18, 23, 24 ショートセル多重分離部

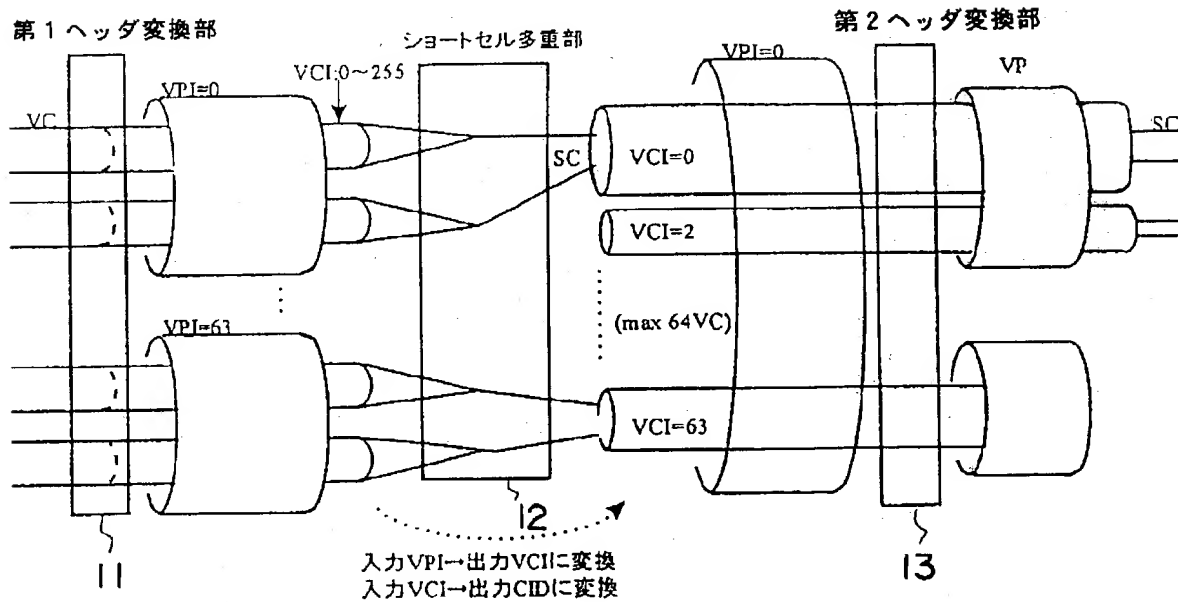
30 ATM スイッチ

【図1】



【図2】

図1に示したショートセル多重装置の具体例を示す図



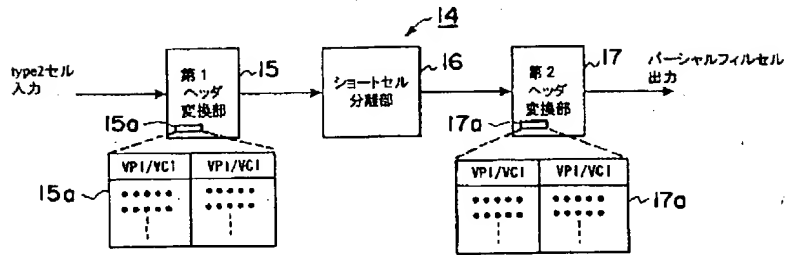
【図3】

図2に示したショートセル多重装置によるヘッダ変換処理を示すテーブル

	第1 ヘッダ変換部		ショートセル多重部		第2 ヘッダ変換部	
	変換前	変換後	入力	出力	変換前	変換後
VPI	任意	多重化単位 通番	—	—	—	所望のVPI
VCI	任意	変換後CID	—	—	—	所望のVCI
CID	-	(スルー)	d.c.	—	-	(スルー)

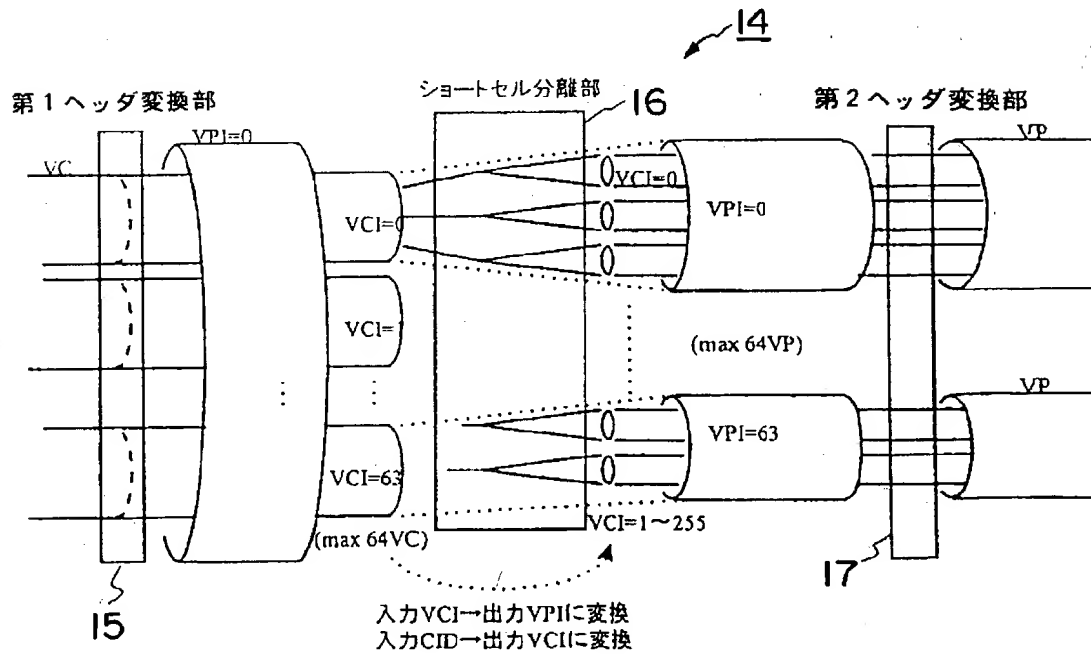
【図 4】

本発明の実施形態によるショートセル分離装置の構成図



【図 5】

図 4 に示したショートセル分離装置の具体例を示す図



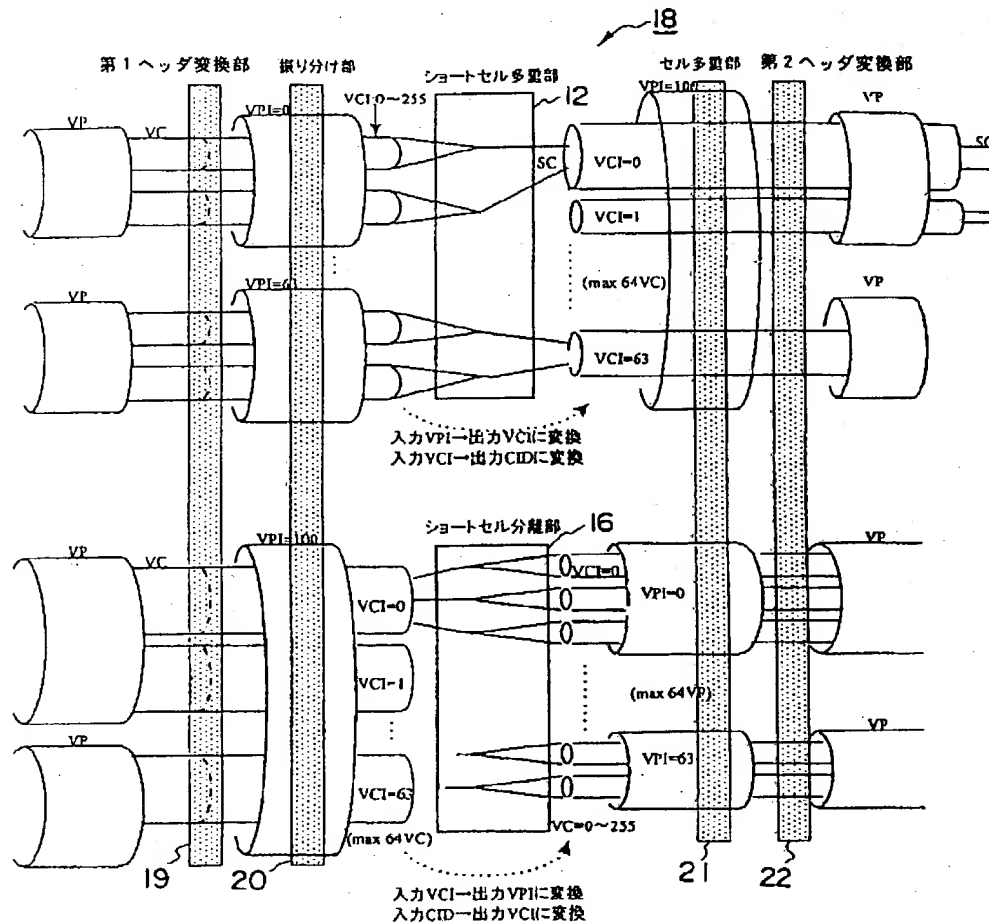
【図6】

図2に示したショートセル分離装置によるヘッダ変換処理を示すテーブル

	第1ヘッダ変換部		ショートセル分離部		第2ヘッダ変換部	
	変換前	変換後	入力	出力	変換前	変換後
VPI	任意	0	-	→	×	所望のVPI
VCI	任意	分離部での 変換後VPI	→	→	×	所望のVCI
CID	-	(スルー)	→	dc	-	(スルー)

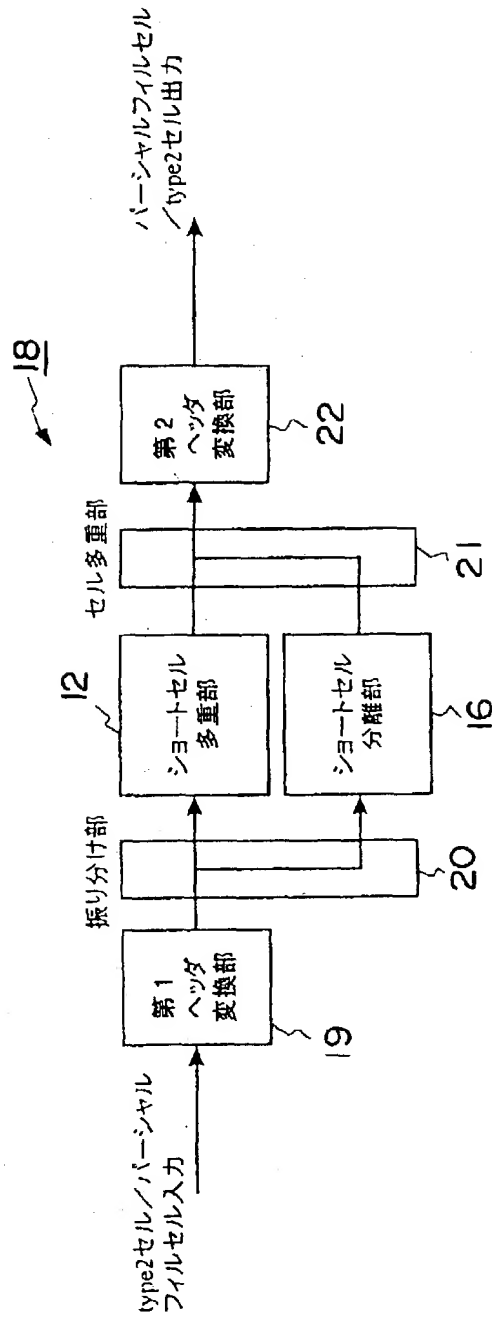
【図8】

図7に示したショートセル多重分離装置の具体例を示す図



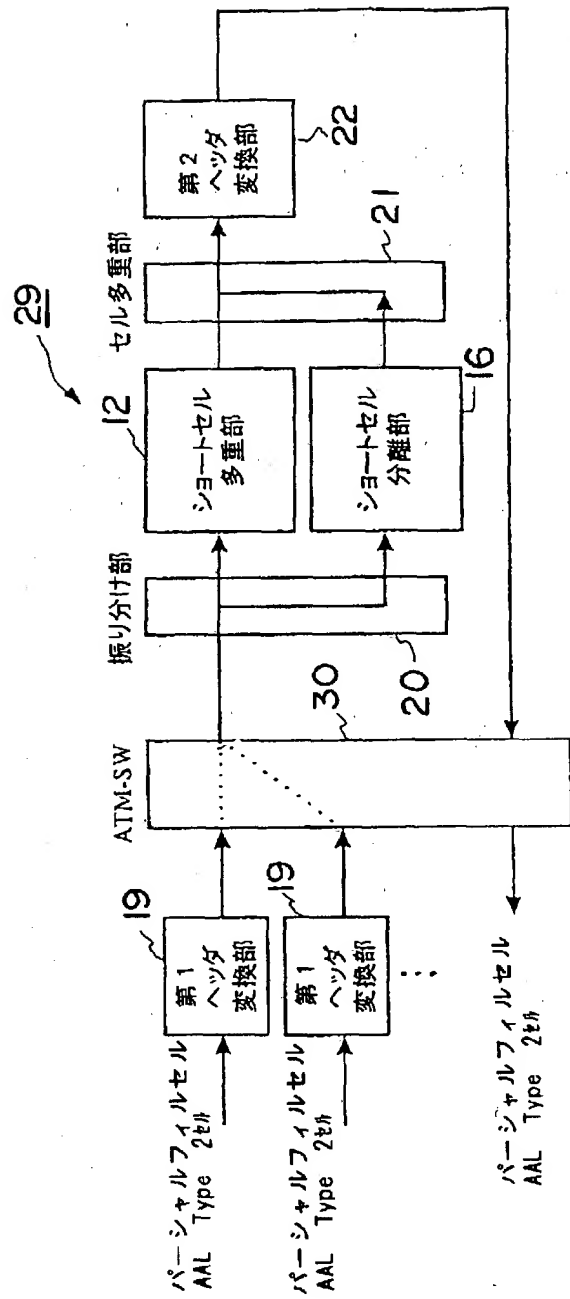
【図7】

本発明の実施形態によるシヨートセル多重分離装置の構成図



【図15】

本発明の実施形態によるシヨートセル多重分離装置の構成図



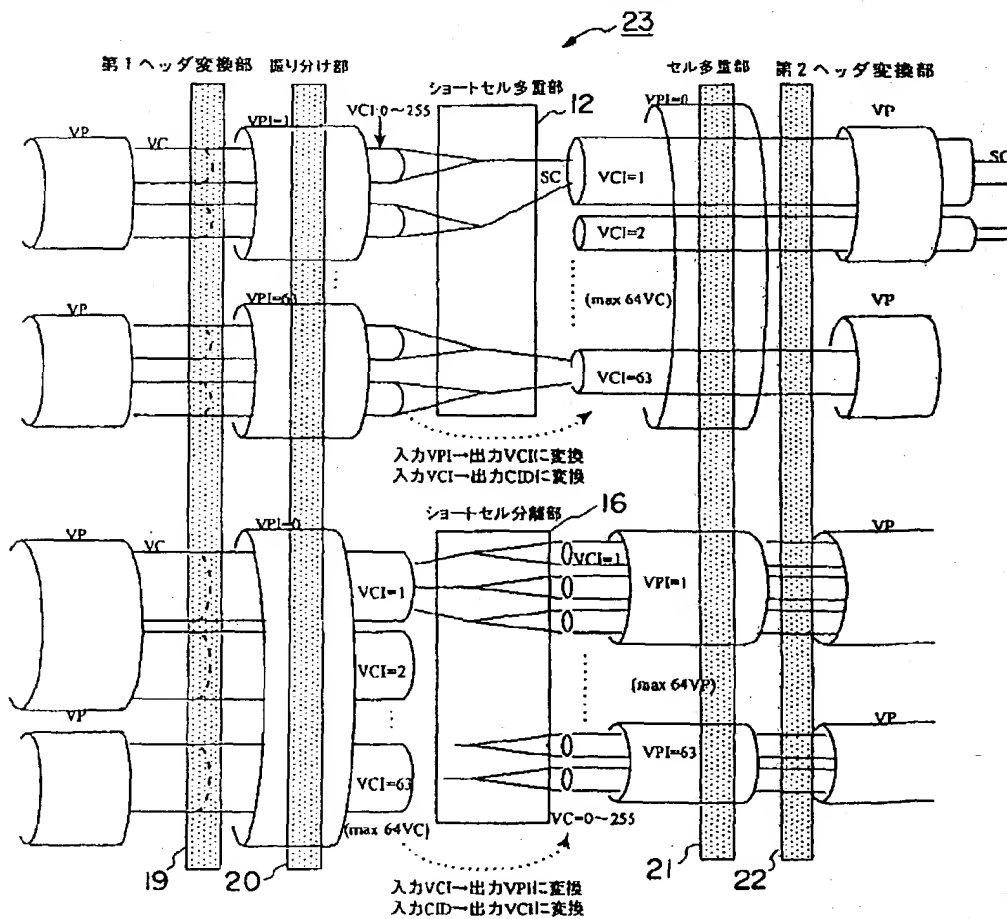
【図9】

図8に示したショートセル多重分離装置によるヘッダ変換処理を示すテーブル

		第1ヘッダ変換部		ショートセル多重／分離部		第2ヘッダ変換部	
		変換前	変換後	入力	出力	変換前	変換後
多重側	VPI	任意	多重処理単位に変換		100		所望のVPI
	VCI	任意	多重部での変換後CID				所望のVCI
	CID	-	(スルー)	d.c.		-	(スルー)
分離側	VPI	任意	100	-			所望のVPI
	VCI	任意	分離部での変換後VPI				所望のVCI
	CID	-	(スルー)		d.c.	-	(スルー)

【図10】

本発明の実施形態によるショートセル多重分離装置の構成図



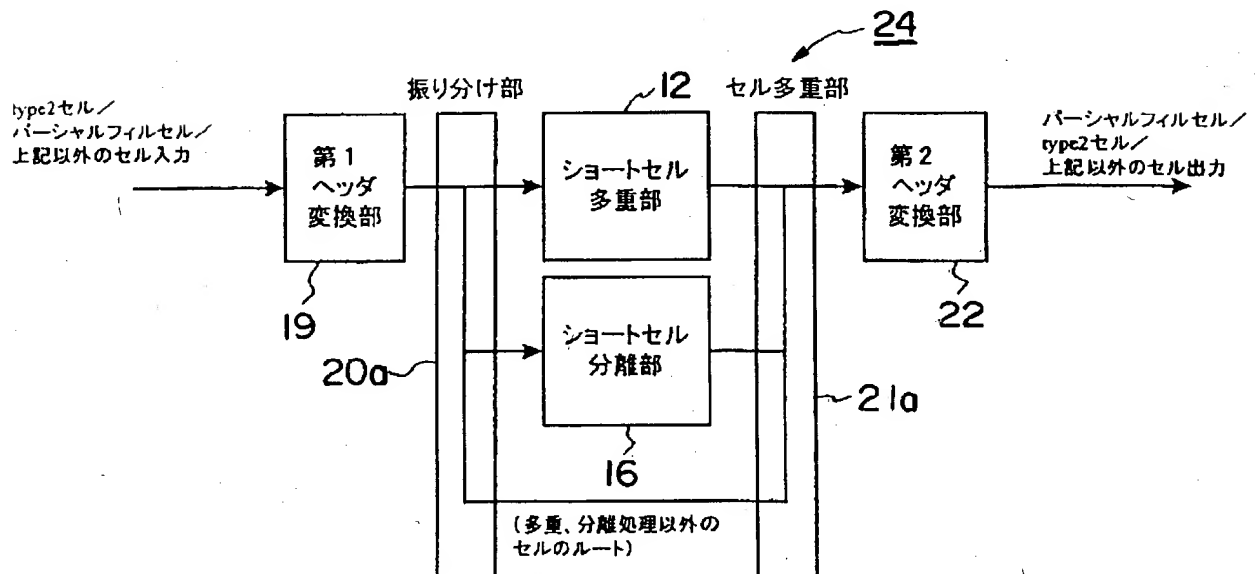
【図 11】

図 10 に示したショートセル多重分離装置によるヘッダ変換処理を示すテーブル

		第 1 ヘッダ変換部		ショートセル多重／分離部		第 2 ヘッダ変換部	
		変換前	変換後	入力	出力	変換前	変換後
多重側	VPI	任意	多重処理単位を示す VPI に変換		0		所望の VPI
	VCI	任意	多重部での変換後 CID				所望の VCI
	CID	-	(スルー)	d.c.		-	(スルー)
分離側	VPI	任意	0	-			所望の VPI
	VCI	任意	分離部での変換後 VPI				所望の VCI
	CID	-	(スルー)		d.c.	-	(スルー)

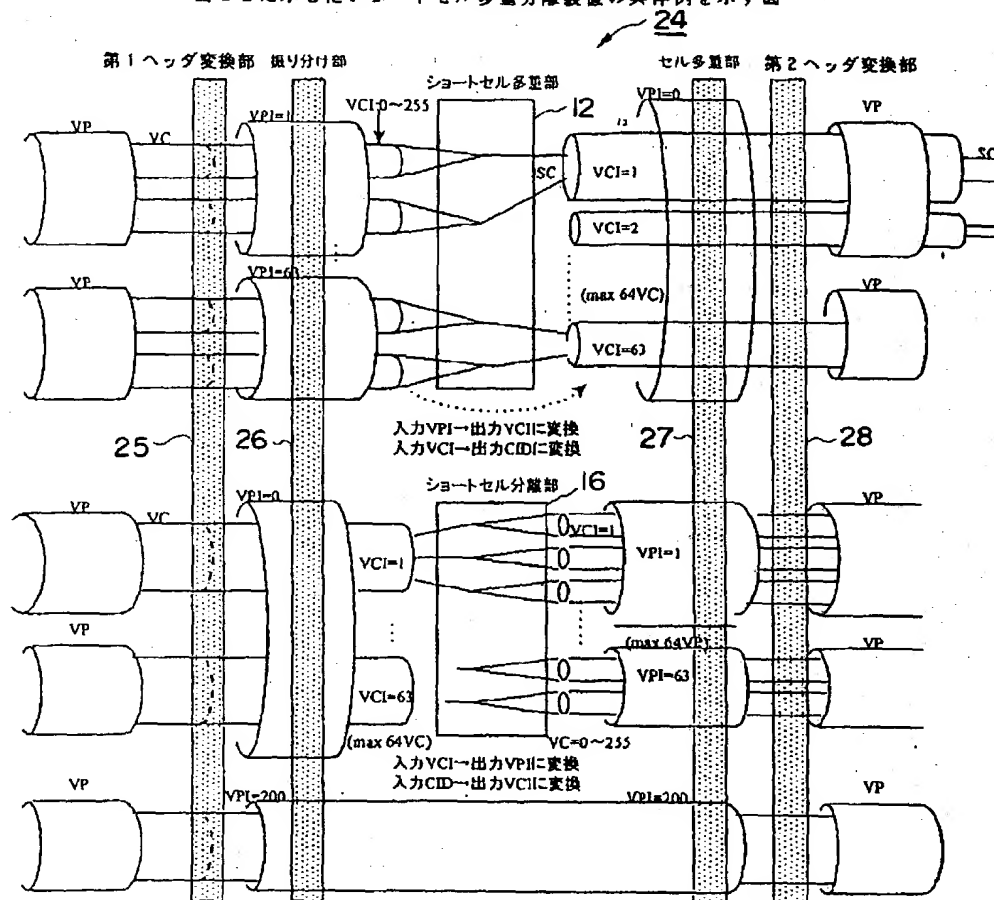
【図 12】

本発明の実施形態によるショートセル多重分離装置の構成図



【図13】

図12に示したショートセル多重分離装置の具体例を示す図



【図17】

図16に示したショートセル多重分離装置によるヘッダ変換処理を示すテーブル

		第1ヘッダ変換部		ショートセル多重/分離部		第2ヘッダ変換部	
		変換前	変換後	入力	出力	変換前	変換後
多重側	VPI	任意	多重処理単位 通番(1~63)		0		出装置通番
	VCI	任意	多重部での 変換後CID				出装置通番
	CID	-	(スルー)	d.c.		-	(スルー)
分離側	VPI	任意	0	-			出装置通番
	VCI	任意	分離部での変換後 VPI(通番1~63)				出装置通番
	CID	-	(スルー)		d.c.	-	(スルー)

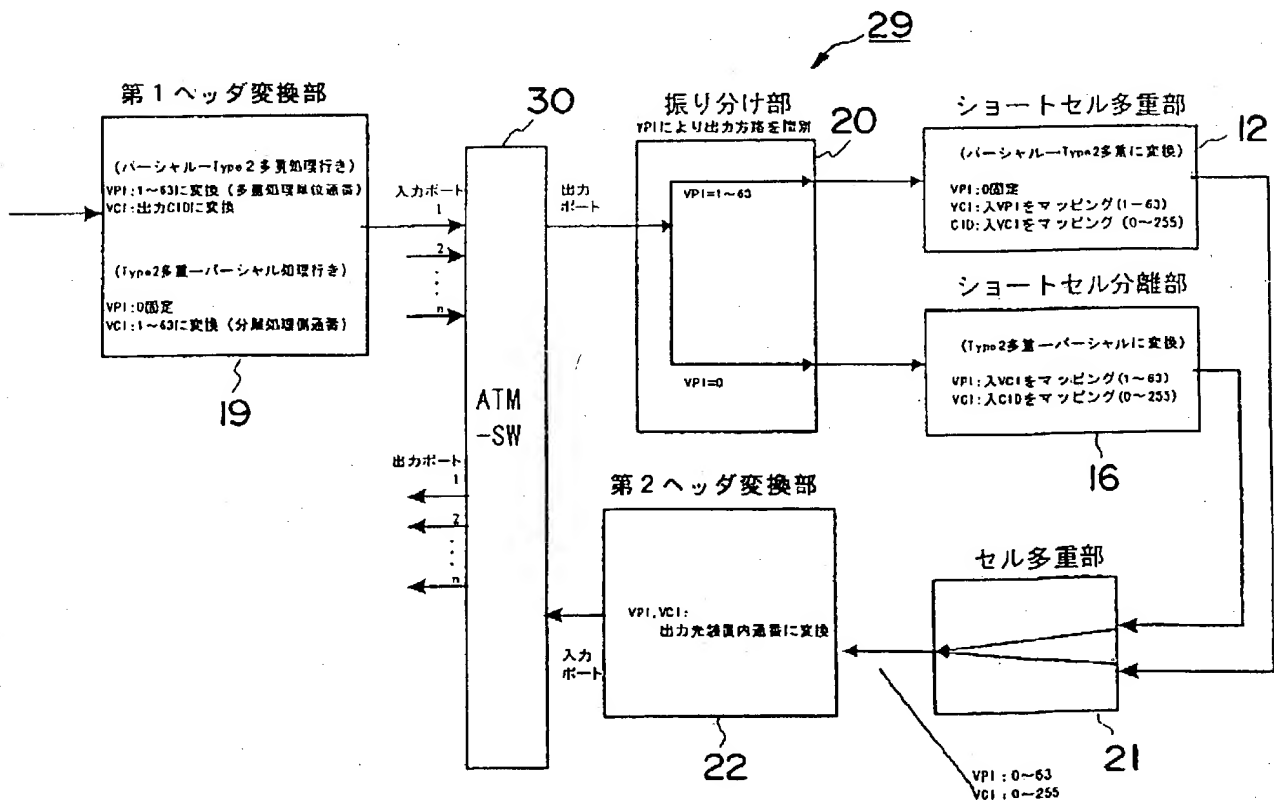
【図14】

図13に示したショートセル多重分離装置によるヘッダ変換処理を示すテーブル

		第1ヘッダ変換部		ショートセル多重／分離部		第2ヘッダ変換部	
		変換前	変換後	入力	出力	変換前	変換後
多重側	VPI	任意	多重処理単位を示すVPIに変換		0		所望のVPI
	VCI	任意	多重部での変換後CID				所望のVCI
	CID	-	(スルー)	d.c.		-	(スルー)
分離側	VPI	任意	0	-			所望のVPI
	VCI	任意	分離部での変換後VPI				所望のVCI
	CID	-	(スルー)		d.c.	-	(スルー)
上記以外	VPI, VCI	任意	上記に使用しない値				所望のVCI

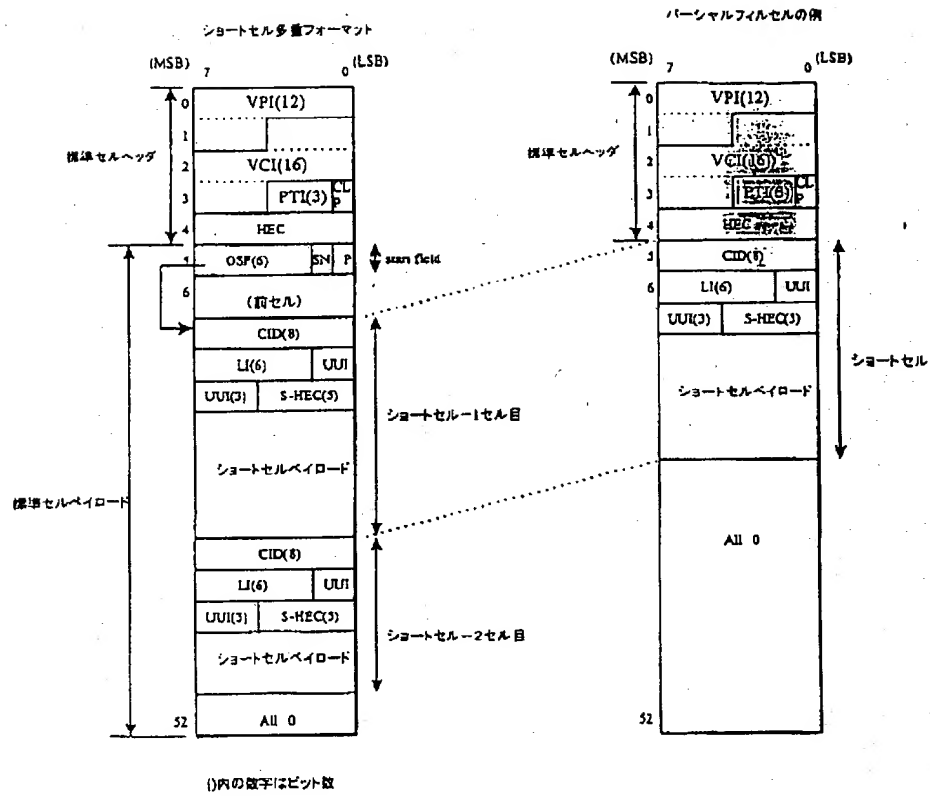
【図16】

図15に示したショートセル多重分離装置の具体例を示す図



【図18】

ATMセル及びショートセルのフォーマット説明図

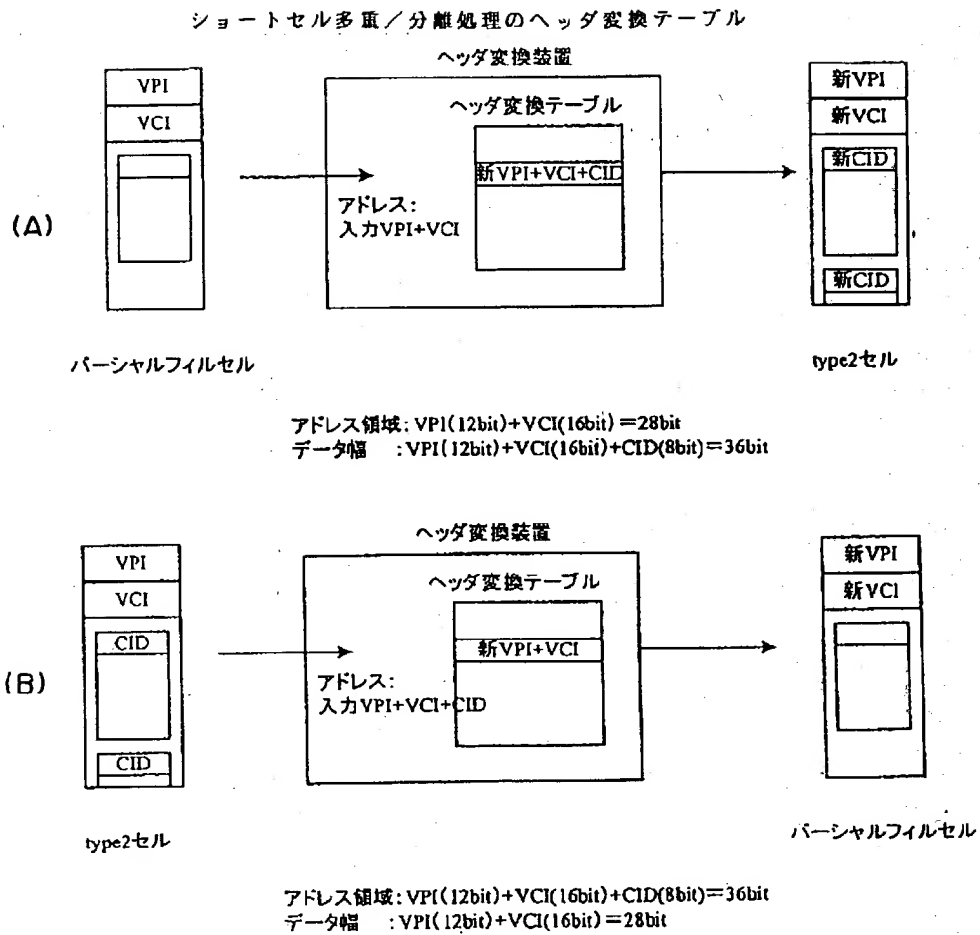


【図19】

図18に示したフォーマットを説明するテーブル

略号	bit数	内容	備考
VPI	12	仮想バス識別子	
VCI	16	仮想チャネル識別子	
PTI	3	ペイロードタイプ識別子	
CLP	1	セル損失優先表示	
HEC	8	ヘッダ誤り制御	
OSF	6	オフセットフィールド (ショートセル先頭ポインタ) (0~47) OSF=0:スタートフィールドの直後からショートセルマッピング OSF=47:当セル内にショートセルの切れ目はない	OSF=48 以上は使用禁止
SN	1	1ビットシークセンサ番号 (0,1,0,1,...)	モジュロ2
P	1	パリティ (StartPointer,SNの合計7bitに対して奇数パリティ)	
CID	8	ショートセルコネクショントラック識別子	
LI	6	ショートセルペイロード長表示 (0~44) (0はペイロード長1byteを示す)	
UUI	2	ユーザ・ユーザ識別 (上位側)	
UUI	3	ユーザ・ユーザ識別 (下位側)	
S-HEC	5	ショートセルヘッダ誤り制御 (生成多項式 X^5+X^4+1)	

【図20】



フロントページの続き

(72) 発明者 藤澤 徹
福岡県福岡市博多区博多駅前三丁目22番8
号 富士通九州ディジタル・テクノロジー株
式会社内